

(19) Japanese Patent Office (JP)
(11) Patent Application Koukai (disclosure)
(12) Public Patent Disclosure Bulletin (A)

H03-076094

(43) Bulletin Date: April 2, 1991

(51) Int. Cl.⁵ Identification Code Internal File Nos.
G 11 C 11/41

8323-5B G 11 C 11/41 301 E

Request for examination: No

Number of claims: 3

Total pages: 6

(54) Title of invention: Semiconductor memory device

(21) Patent Application No.: H01-211100

(22) Patent Application Date: August 8, 1989

(72) Inventor: Shinji Ishikawa

Hitachi, Ltd. Musashi Plant

5-20-1 Josui-Honcho, Kodaira City, Tokyo

(71) Applicant: Hitachi, Ltd.

4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo

(74) Agent: Tomio Oikata, Patent Attorney

Description

1. Title of Invention

Semiconductor memory device

2. What is claimed is:

1. A semiconductor memory device comprising:
a plurality of memory array sections that have the same storage capacity; and
an address counter and an output latch circuit corresponding to each of said memory array sections
respectively, wherein each of said address counters and output latch circuits operates at mutually different
timings based on one or more clock signals.

2. A semiconductor memory device according to Claim 1 comprising:
input latch circuits corresponding to said plurality of memory array sections respectively that operate at mutually different timings and that latch data that is input from a common input terminal using a time-division method.
3. A semiconductor memory device according to Claim 2 comprising:
said memory array sections that consist of two array sections consisting of dual-port memory cells;
a write address counter, a read address counter, a write decoder, and a read decoder for each memory array section respectively; wherein
a single memory cell is selected by supplying values from said address counters to the corresponding decoders respectively, and
one of said two input latch circuits and the two groups of address counters operates synchronously with the falling edge of an input clock signal and the other operates synchronously with the rising edge of an input clock signal.

3. Detailed Explanation of the Invention

(Industrial Field of Application)

The present invention relates to semiconductor memory techniques, more particularly, to a technique that is especially effective when applied to semiconductor memory access methods, and relates to a technique that is effective when used for, for example, serial access memories.

(Prior Art)

In the prior art, serial access memories have been adopted as a semiconductor memory applied to the storage of image data in televisions and VTRs. This type of serial access memory is a read-write memory, but it is designed for high speed and has no random access function. It does have an internal address counter and address signals are generated by incrementation using a clock.

p. 587

Note that a serial access memory has been described in "Nikkei Electronics", 11 February 1985 edition, pp. 219-239. In addition, prior, related inventions are disclosed in Tokkai S62-154983 and Tokkai S62-014226.

(Problem to Be Solved by the Invention)

Serial access memories according to the prior art have had only a memory cell array and a set of input/output latches and an address counter built in and all have processed data synchronously with the falling edge of an externally input clock signal.

However, there is a problem in that, in the present semiconductor techniques, memory cycle times are limited to about 20 nanoseconds. In contrast with this, memories with cycle times of 10 nanoseconds or less are being requested for the high vision field, and conventional serial access memories cannot handle this.

An object of the present invention is to provide a semiconductor memory technique that increase apparent access speeds to two or more times the access speeds of conventional serial access memories.

The aforementioned object and other objects of this invention as well as its new features will be made clear in the detailed description of the present invention and the attached drawings.

(Means to Solve the Problem)

The following is an explanation of a summary of a representative case of the inventions disclosed in the present application.

That is, a memory array is divided into two memory arrays and an address counter and an input/output data latch circuit is created for each memory array. The address counter and latch circuit for one of the two memory arrays is made to operate synchronously with the rising edge (or falling edge) of a clock signal and the counter and latch circuit for the other memory array is made to operate synchronously with the falling edge (or rising edge) of the clock signal.

(Operation)

According to the aforementioned means, the two memory arrays respectively are alternately accessed synchronously with the rising edge and the falling edge of the clock. Thus, reading from or writing to one of the memory arrays is started before reading from or writing to the other memory array is completed, and as a result, pipeline processing is enabled and the memory arrays can operate at an apparent access speed that is doubled.

(Embodiments)

Figure 1 shows a block diagram of one embodiment of the present invention applied to a serial access memory. In addition, Fig. 4 shows an example of the concrete circuitry required therefor. Although no special restriction is intended, each of the circuit blocks enclosed by dotted lines in the figure comprises a single semiconductor chip such as a monocrystalline silicon substrate.

In Fig. 1, 1A and 1B are a memory array having the same storage capacity. The memory arrays 1A and 1B comprise, for example, a matrix-shaped array of dual-port memory cell MCs that have two sets of transfer gates consisting of flip-flops wherein two inverter input/output terminals have been crosslinked.

Each of the memory arrays 1A and 1B is provided with a corresponding input latch circuit 2A and 2B, an output latch circuit 3A and 3B, a write address counter 4A and 4B, and a read address counter 5A and 5B.

A write data signal that has been input from a data input terminal Din signal and has been waveform-adjusted by a buffer DBF consisting of inverters, etc., is supplied to the aforementioned input latch circuits 2A and 2B. The input latch circuit 2A consists of, for example, master-slave flip-flops and latches input data synchronously with the falling edge of an externally supplied write clock signal WCKL. Additionally, the input latch circuit 2B latches input data synchronously with the rising edge of the write clock signal WCKL.

Moreover, the write clock signal WCKL is supplied to the address counters 4A and 4B, which count up synchronously with the falling edge and rising edge respectively.

p. 588

Next, the value in the write address counter 4A is supplied to the write decoder 6A for the memory array 1A or the value in the write address counter 4B is supplied to the write decoder 6B for the memory array 1B. The write decoders 6A and 6B consist of an X decoder WXD that drives a single word line WWL within a memory array to the selection level and a Y decoder WYD that turns on and off a column switch Qcw1 and Qcw2 that connects a pair of data lines WDL and WDL within a memory array to the aforementioned input latch circuits 2A and 2B (see Fig. 4).

On the other hand, an externally supplied read clock RCLK is supplied to the read address counters 5A and 5B, which count up synchronously with the falling edge and rising edge respectively of the read clock RCLK. The value in the read address counter 5A is supplied to the read decoder 7A for the memory array 1A or the value in the write address counter 5B is supplied to the read decoder 7B for the memory array 1B. The read decoders 7A and 7B both consist of an X decoder RX. A read data line RDL and RDL are connected to a differential sense amp SA through a column switch Qcr1 and Qcr2.

Moreover, the read clock RCLK is supplied to the output latch circuits 3A and 3B consisting of, for example, clocked inverters and drives them alternately to latch the data read out from the memory array 1A and 1B. The read data latched by the output latch circuits 3A and 3B is supplied to a common output circuit 8.

The output circuit 8 consists of output stages, etc., wherein an output control gate G1 and G2 and a two N-channel MOSFET Q1 and Q2 are connected in series, and when an externally supplied out enable signal UE is at low level, one of the output MOSFETs Q1 or Q2 is turned on according to the read data supplied from the aforementioned output latch 3A or 3B and a data output terminal Dout is driven to high level or level. In addition, the output circuit 8 turns the output MOSFETs Q1 and Q2 off when an out enable signal OE signal changes to high level. As a result, the data output terminal Dout is changed to a high impedance state.

Continuing, 11 is a write counter reset terminal, 12 is a read counter reset terminal, 13 is a write enable terminal for reading and writing control, 14 is a chip select terminal for chip selection, and 15 and 16 are power supply terminals.

A write counter reset signal WRES that is input to the reset terminal 11 is supplied to the write address counters 4A and 4B. When the reset signal WRES at low level, the counter 4A is reset on the falling edge of the write clock WCLK and the counter 4B is reset on the rising edge of the write clock signal WCLK.

Additionally, a read counter reset signal RRES that is input to the reset terminal 12 is supplied to the read address counters 5A and 5B. When the reset signal RRES at low level, the counter 5A is reset on the falling edge of the read clock RCLK and the counter 5B is reset on the rising edge of the read clock signal RCLK.

On the other hand, the write enable signal WE and the chip select signal CS that are input to the control terminals 13 and 14 are supplied to a control circuit that is not illustrated, where internal control signals for each of the circuit blocks within the chip are formed based on these signals.

Next, the read operation and write operation of the aforementioned serial access memory are explained with reference to Figs. 2 and 3.

When the write counter reset signal WRES is at low level and the write clock signal WCLK is input, the write address counter 4A is reset synchronously with the falling edge of the clock signal and the address "0" is supplied to the memory array 1A. Additionally, when the write clock signal WCLK rises while the write counter reset signal WRES is low, the write address counter 4B is reset synchronously with the rising edge of the clock signal and the address "0" is supplied, with a delay of a half cycle, to the memory array 1B.

p. 589

Thereafter, when the write counter reset signal WRES is at high level, the address counter 4A is incremented synchronously with the falling edge of the clock signal WCLK and the address counter 4B is incremented synchronously with the rising edge. As a result, the address counters 4A and 4B continue to count up alternately with each half cycle of the clock signal WCLK. In addition, the input latch circuits 2A and 2B alternately repeat latch operations synchronously with the falling and rising edges of the clock signal WCLK.

Accordingly, when write data is supplied synchronously with the write clock signal WCLK to the data input terminal Din twice per cycle, the data is written alternately to the memory arrays 1A and 1B. As a result, writing can be conducted at twice the speed of prior art devices at the same clock speed.

On the other hand, separately or in parallel with the aforementioned write operation, when the read clock signal RCLK is input to the memory after the read counter reset signal RRES has been changed to

low level, the read address counter 5A is reset synchronously with the falling edge of the clock signal RCLK and the counter 5B is reset synchronously with the rising edge of the clock signal RCLK. When the address counters 5A and 5B are updated, a new memory cell is accessed and the output level of the sense amp SA is defined after approximately a half cycle.

In the same way as counter 4A, the input latch circuit 2A for memory array 1A operates synchronously with the falling edge of the write clock signal WCLK and latches the data, but the output latch circuit 3A operates a half cycle behind the counter 5A and latches the data read from the memory array 1A. In addition, the output latch circuit 3A for memory array 1A latches the read data synchronously with the falling edge of the read clock signal RCLK.

In this manner, the memory arrays 1A and 1B are read accessed with a delay of a half cycle and the output latch circuits 3A and 3B operate alternately each half cycle. Next, the latched data is sent to the common output circuit 8 and is output externally from the data output terminal Dout. As a result, reading can be conducted at twice the speed of the prior art while using a clock with the same frequency as the prior art.

However, if the memory cells comprising the memory arrays 1A and 1B are made dual-port types, read operations can be conducted in parallel with write operations because they would have a write and read address counter and a write and read decoder. Synchronization of the write clock signal WCLK and the read clock signal RCLK is decided by the access times when writing to and reading from the memory array and, needless to say, they may have mutually different frequencies.

Note that, in the aforementioned embodiment, the two sides 1A and 2A are respectively operated synchronously with the falling edge and the rising edge of the clock signal WCLK (RCLK), but separate clock input terminals may be created and two clocks that have twice the frequency of the clock in the embodiment and are mutually delayed by a half cycle may be input, and operations may be conducted synchronously with the falling edges of each. In addition, the embodiment includes a memory array and two sets of write and read address counters and input/output latch circuits, but these circuits may be divided into three sets and may be operated with a timing delay of 1/3 cycle.

Because the embodiment explained above is divided into two memory arrays with address counters and input/output data latch circuits for each memory array, wherein the counters and latch circuits for one memory array are operated synchronously with the falling edge (or rising edge) of the clock signal and the counters and latch circuits for the other memory array are operated synchronously with the rising edge (or falling edge) of the clock signal, the two memory arrays are accessed alternately.

p. 590

The effect is that reading from or writing to one memory array is started before reading to or writing from the other memory array is completed, pipeline processing becomes possible, and operation with an apparent access speed that is double is possible.

A concrete explanation of the invention devised by the inventor has been explained above based on an embodiment, but the present invention is not limited to the aforementioned embodiment and various modifications are possible provided that they do not deviate from the essentials thereof. For example, in the aforementioned embodiment, an address counter is incorporated within the memory chip, but the address can also be input externally.

In the explanation above, the invention devised by the inventor has been generally explained with respect to the case in which it is applied to a serial access memory that is the field of industrial application given as a background, but the present invention is not limited to this, and it can also be used with dual-port memories in which writing on the write side is conducted in parallel and reading on the read side is conducted serially or dual-port memories in which both writing and reading is conducted in parallel.

(Effect of the Invention)

Explained in simple terms, the effect obtained by the representative invention of the inventions disclosed in this application is as follows.

The apparent access speed of a serial access memory in which two memory arrays are accessed alternately can be increased to two or more times that of the prior art.

4. Detailed Description of the Drawings

Figure 1 is a block diagram showing an embodiment of a serial access memory to which the present invention has been applied.

Figure 2 is a time chart showing the operation timing when writing to that memory.

Figure 3 is a time chart showing the operation timing when reading from that memory.

Figure 4 is a circuit configuration diagram of the major components of the embodiment of a serial access memory shown in Fig. 1.

MC: memory cell; WWL: write word line; RWL: read word line

Agent: Tomio Oikata, Patent Attorney [seal: [illegible]]

Fig. 1

[see source for figure]

1. Write address counter A
2. Read address counter A

3. Input latch A
 4. Decoder
 5. Decoder
 6. Memory array A
 7. Output latch A
 8. Output circuit
 9. Memory array B
 10. Input latch B
 11. Decoder
 12. Decoder
 13. Output latch B
 14. Write address counter B
 15. Read address counter B
- [end]

Fig. 2

[see source for figure]

1. Write address (memory array A)
 2. Write address (memory array B)
- [end]

Fig. 3

[see source for figure]

1. Read address (memory array A)
 2. Read address (memory array B)
- [end]

p. 591

Fig. 4

[see source for figure]

1. Input latch
 2. Write Y decoder
 3. Write X decoder
 4. Write address counter
 5. Read address counter
 6. Read X decoder
 7. Read Y decoder
 8. Sense amp
 9. From other memory array
- [end]

p. 592

⑤ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-76094

⑧ Int.Cl.⁹
G 11 C 11/41

識別記号 庁内整理番号

④ 公開 平成3年(1991)4月2日

8323-5B G 11 C 11/34 3 0 1 E

審査請求 未請求 請求項の数 3 (全6頁)

⑨ 発明の名称 半導体記憶装置

⑪ 特 題 平1-211100

⑫ 出 題 平1(1989)8月16日

⑬ 発 明 者 石 川 真 司 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑭ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑮ 代 理 人 弁理士 大日方 富雄

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 同一記憶容量を有する複数のメモリアレイ部と、各メモリアレイ部に対応してそれぞれアドレスカウンタと出力ラッチ回路を備え、1または2以上のクロック信号に基づいて上記各アドレスカウンタおよび出力ラッチ回路が互いに異なるタイミングで動作されるように構成されてなることを特徴とする半導体記憶装置。

2. 上記複数のメモリアレイ部に対応して、それぞれ異なるタイミングで動作される入力ラッチ回路が設けられ、共通の入力端子に入力されたデータを時分割方式でラッチするように構成されていることを特徴とする請求項1記載の半導体記憶装置。

3. 上記メモリアレイ部はデュアルポート型メモリセルからなる2つのアレイ部によって構成され、各メモリアレイ部に対応してそれぞれライト用ア

ドレスカウンタとリード用アドレスカウンタおよびライト用デコーダとリード用デコーダが設けられ、該デコーダに対して上記アドレスカウンタの値がそれぞれ供給されて一つのメモリセルが選択されるように構成されているとともに、上記2つの入力ラッチ回路と2組のアドレスカウンタのうち一方は、入力クロック信号の立下りに同期して動作され、他は入力クロック信号の立上りに同期して動作されることを特徴とする請求項2記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体記憶技術さらには半導体メモリのアクセス方式に適用して特に有効な技術に関し、例えばシリアルアクセスメモリに利用して有効な技術に関する。

〔従来の技術〕

従来、テレビジョンやVTRにおける画像データの記憶用に適した半導体メモリとして、シリアルアクセスメモリが提供されている。この種のシ

リアルアクセスメモリは、読出し遅延可能なメモリであるが、ランダムアクセス機能はなく、内部にアドレスカウンタを有し、クロックでインクリメントされることでアドレス信号を発生することで高速化を図っている。

なお、シリアルアクセスメモリに関しては、

「日経エレクトロニクス」1985年2月11日号、第219頁～第239頁に記載がある。また、関連する先願特許としては、特公昭62-154983号や特公昭62-142226号がある。

【発明が解決しようとする課題】

従来のシリアルアクセスメモリは、メモリアレイと入出力データラッチ回路およびアドレスカウンタが1組しか内蔵されておらず、すべて外部から入力されるクロック信号の立下りに同期してデータを処理するようにされていた。

しかるに現在の半導体技術では、メモリのサイクルタイムは20n秒程度が限界である。これに対し、ハイビジョンの分野ではサイクルタイムが10n秒以下のメモリが要求されるようになって

きており、従来のシリアルアクセスメモリでは対応しきれないという問題点がある。

この発明の目的は、シリアルアクセスメモリの見かけ上のアクセス速度を従来の2倍以上に高速化できるような半導体記憶技術を提供することにある。

この発明の前提ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、メモリアレイを2つに分け、各メモリアレイに対応してアドレスカウンタおよび入出力データラッチ回路を設け、一方のメモリアレイ側のカウンタおよびラッチ回路はクロック信号の立上り（もしくは立下り）に同期して動作させ、他方のメモリアレイ側のカウンタおよびラッチ回路はクロック信号の立下り（もしくは立上り）に同期して動作させるようにするものである。

【作用】

上記した手段によれば、2つのメモリアレイがクロックの立上りと立下りに同期してそれぞれ交互にアクセスされるため、一方のメモリアレイに対する読出しまたは書き込みが終了する前に他方のメモリアレイに対する読出しまたは書き込みが開始されるため、パイプライン処理が可能となり見かけ上2倍のアクセス速度で動作させることができるようになる。

【実施例】

第1図には本発明をシリアルアクセスメモリに適用した場合の一実施例のブロック図が、また、第4図にはその要部の具体的回路構成例が示されている。

特に初明されないが、図中破線Aで囲まれた各回路ブロックは単結晶シリコン基板のような一つの半導体チップ上において形成される。

第1図において、1A、1Bは同じ記憶容量を持つメモリアレイで、このメモリアレイ1A、1Bは、例えば第4図に示すように2つのインパ

タの入出力端子が交差結合されたフリップフロップからなり2組のトランスファゲートを有するデュアルポート型メモリアレイMCがマトリクス状に配列されてなる。

各メモリアレイ1A、1Bに対応してそれぞれ入力ラッチ回路2A、2Bと、出力ラッチ回路3A、3Bおよびライト用アドレスカウンタ4A、4Bとリード用アドレスカウンタ5A、5Bが設けられている。

上記入力ラッチ回路2Aと2Bには、データ入力端子D10に入力された書き込みデータ信号をインバータ等からなる入力バッファDBPで波形整形した信号が供給される。入力ラッチ回路2Aは、例えばマスタスレーブ型のフリップフロップで構成され、外部より供給されるライトクロック信号WCKLの立下りに同期して、また入力ラッチ回路2Bはライトクロック信号WCKLの立上りに同期して入力データをラッチするように接続される。

また、ライトクロック信号WCKLはライト側

アドレスカウンタ4Aと4Bに供給され、それぞれ立下りと立上りに同期してカウントアップさせる。そして、ライト側アドレスカウンタ4Aの値はメモリアレイ1Aのライト用デコーダ6Aに、またカウンタ4Bの値はメモリアレイ1Bのライト用デコーダ6Bに供給される。ライト用デコーダ6Aと6Bは、メモリアレイ内の1本のワード線WWLを選択レベルに駆動するXデコーダWXDと、メモリアレイ1内の1対のデータ線WDL、WDLを上記入力ラッチ回路2A、2Bに接続するカラムスイッチQcw₁、Qcw₂をオン・オフ制御するYデコーダWYDとから構成されている(第4図参照)。

一方、リード側アドレスカウンタ5Aと5Bには、外部から入力されるリードクロックRCLKが供給され、リードクロックRCLKの立下りと立上りに同期してそれぞれカウントアップされる。リード側アドレスカウンタ5Aの値は、メモリアレイ1Aのリード用デコーダ7Aに、またカウンタ5Bの値はメモリアレイ1Bのリード用デコー

ダ7Bにそれぞれ供給される。リード用デコーダ7A、7BもXデコーダRXDとYデコーダRYDとによって構成されている。読出しデータ線RDL、RDLはカラムスイッチQcr₁、Qcr₂を介して差動型センスアンプSAに接続されている。

さらに、リードクロックRCLKは、例えばCMOSクロックド・インバータからなる出力ラッチ回路3A、3Bに供給され、交互に動作させ、メモリアレイ1A、1Bから読み出されたデータをラッチする。出力ラッチ回路3A、3Bにラッチされたリードデータは共通の出力回路8に供給される。

出力回路8は出力制御用ゲートQ₁、Q₂と、2つのNチャンネルMOSFET Q₃、Q₄が直列接続されてなる出力段等とからなり、外部から供給されるアウトイネーブル信号UEがロウレベルのとき、上記出力ラッチ回路3Aまたは3Bから供給されるリードデータに応じて、出力MOSFET Q₃またはQ₄のいずれか一方をオンさせて、

データ出力端子Doutをハイレベルまたはロウレベルに駆動する。また、出力回路8はアウトイネーブル信号OEがハイレベルにされると、出力MOSFET Q₃、Q₄をともにオフさせる。これによって、データ出力端子Doutはハイインピーダンス状態にされる。

なお、11はライト側カウンタのリセット端子、12はリード側カウンタのリセット端子、13は書き込み読出し制御用のライトイネーブル端子、14はチップ選択用のチップセレクト端子、また15、16は電源電圧端子である。

リセット端子11に入力されたライトカウンタリセット信号WRESは、ライトアドレスカウンタ4Aと4Bに供給される。このリセット信号WRESがロウレベルにされている状態で、ライトクロックWCLKが立ち下るとカウンタ4Aはリセットされ、ライトクロックWCLKが立ち上がるとカウンタ4Bはリセットされる。

また、リセット端子12に入力されたリードカウンタリセット信号RESは、リードアドレス

カウンタ5Aと5Bに供給される。このリセット信号RESがロウレベルにされている状態で、リードクロックRCLKが立ち下るとカウンタ5Aはリセットされ、リードクロックRCLKが立ち上がるとカウンタ5Bはリセットされる。

一方、制御端子13、14に入力されたライトイネーブル信号WEやチップセレクト信号CSは、図示しないコントロール回路に供給され、それらの信号に基づいてチップ内の各回路ブロックに対する内部制御信号が形成される。

次に、上記シリアルアクセスメモリのライト動作およびリード動作を、第2図および第3図を用いて説明する。

ライトカウンタリセット信号WRESがロウレベルにされ、ライトクロック信号WCLKが入ってくると、クロックの立下りに同期してライト側アドレスカウンタ4Aがリセットされ、アドレス「0」がメモリアレイ1Aに供給される。また、ライトカウンタリセット信号WRESのロウレベルの期間中にライトクロック信号WCLKが立ち

上がると、これに同期してライト側アドレスカウンタ4Bがリセットされ、半周期遅れてアドレス「0」がメモリアレイ1Bに供給される。その後、ライトカウンタリセット信号WRBSがハイレベルにされると、クロックWCLKの立下りに同期してアドレスカウンタ4Aがインクリメントされ、立上りに同期してアドレスカウンタ4Bがインクリメントされる。これによって、アドレスカウンタ4A、4Bは、各々クロックWCLKの半周期ごとに交互にカウントアップされていく。また、入力ラッチ回路2Aと2BもライトクロックWCLKの立下りと立上りに同期して交互にラッチ動作を繰り返す。

従って、ライトクロックWCLKに同期して、1サイクル中に2回データ入力端子Dinより書き込みデータを入れてやると、データはメモリアレイ1Aと1Bに交互に書き込まれていく。これによって、従来と同一のクロックで従来の2倍の速度で書き込みが行なえる。

一方、上記ライト動作と別にあるいは並行して、

リードカウンタリセット信号RRBSをロウレベルに変化させてからリードクロックRCLKをメモリに入れてやると、クロックRCLKの立下りに同期してリード側アドレスカウンタ5Aがリセットされ、クロックRCLKの立上りに同期してカウンタ5Bがリセットされる。その後、リードカウンタリセット信号RRBSがハイレベルにされると、クロックRCLKの立下りに同期してカウンタ5Aが、また立上りに同期してカウンタ5Bがインクリメントされる。アドレスカウンタ5A、5Bが更新されると、新しいメモリエセルがアクセスされ、ほぼ半周期後にセンスアンプSAの出力レベルが確定する。

メモリアレイ1A側の入力ラッチ回路2Aはカウンタ4Aと同じくライトクロックWCLKの立下りに同期して動作され、データをラッチするが、出力ラッチ回路3Aはカウンタ5Aよりも半周期遅れて動作され、メモリアレイ1Aから読み出されたデータをラッチする。また、メモリアレイ1B側の出力ラッチ回路3BはリードクロックRCLKの立下りと立上りに同期して1A側と1B側をそれぞれ動作させているが、別々のクロック入力端子を設け、実施例のクロックの2倍の周波数を有し、互いに半周期位相のずれた2つのクロックを入れて、それぞれを立下りに同期して動作させるようにしてもよい。また、実施例では、メモリアレイと、ライト用およびリード用アドレスカウンタと入出力ラッチ回路を2組設けているが、これらの回路を3組設けて3分の1サイクルずつタイミングをずらして動作させるようにしてもよい。

以上説明したように上記実施例は、メモリアレイを2つに分け、各メモリアレイに対応してアドレスカウンタおよび入出力データラッチ回路を設け、一方のメモリアレイ側のカウンタおよびラッチ回路はクロック信号の立上り（もしくは立下り）に同期して動作させ、他方のメモリアレイ側のカウンタおよびラッチ回路はクロック信号の立下り（もしくは立上り）に同期して動作させるようにしたので、2つのメモリアレイがそれぞれ交互に

LCLKの立下りに同期して読出しデータをラッチする。

このようにして、メモリアレイ1A、1Bは半周期ずれてリードアクセスされ、出力ラッチ回路3Aと3Bが半周期ごとに交互に動作される。そして、ラッチされたデータは共通の出力回路8へ送られ、データ出力端子Doutにより外部へ出力される。その結果、従来と同一周期のクロックを用いて従来の2倍の速度で読出しを行なうことができる。

しかも、メモリアレイ1A、1Bを構成するメモリエセルがデュアルポート型とされ、ライト用とリード用のアドレスカウンタおよびライト用とリード用デコーダを有しているため、ライト動作と並行してリード動作を行なうことができる。ライトクロックWCLKとリードクロックRCLKの周期は、メモリアレイのライト時とリード時のアクセスタイムによって決定され、互いに周期が異なってもよいことはいふまでもない。

なお、上記実施例では、クロックWCLK(R

アクセスされるため、一方のメモリアレイに対する読出しまたは書き込みが終了する前に他方のメモリアレイに対する読出しまたは書き込みが開始されるという作用により、パイプライン処理が可能となり、見かけ上2倍のアクセス速度で動作させることができるという効果がある。

以上本発明者によってなされた発明を実施例に基き具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例ではアドレスカウンタをメモリチップ内に設けているが、外部からアドレスを入力することも可能である。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシリアルアクセスメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、ライト側はパラレル方式で書き込みを行ない、リード側はシリアル方式で読出しを行なうデュアルポートメモリあるいはライトもリードもパラレル

方式で行なうデュアルポートメモリにも利用することができる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、2つのメモリアレイを交互にアクセスすることでシリアルアクセスメモリの見かけ上のアクセス速度を従来の2倍以上に高速化できる。

4. 図面の簡単な説明

第1図は、本発明を適用したシリアルアクセスメモリの一実施例を示すブロック図。

第2図は、そのメモリのライト時の動作タイミングを示すタイムチャート。

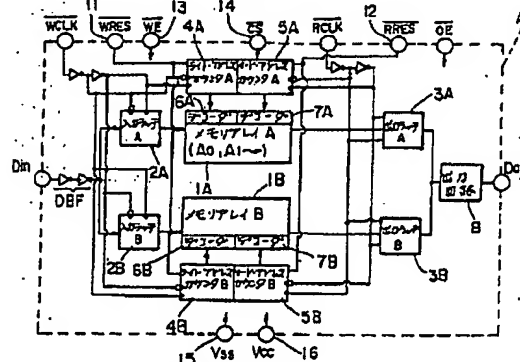
第3図は、同じくリード時の動作タイミングを示すタイムチャート。

第4図は、第1図のシリアルアクセスメモリの要部の一実施例を示す回路構成図である。

MC……メモリスル、WVL……ライト側ワード線、RWL……リード側ワード線。

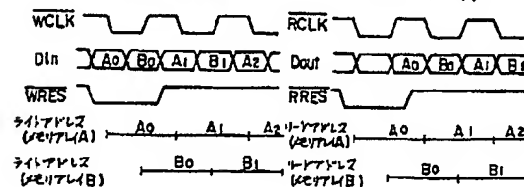
代理人 弁理士 大日方富雄

第1図

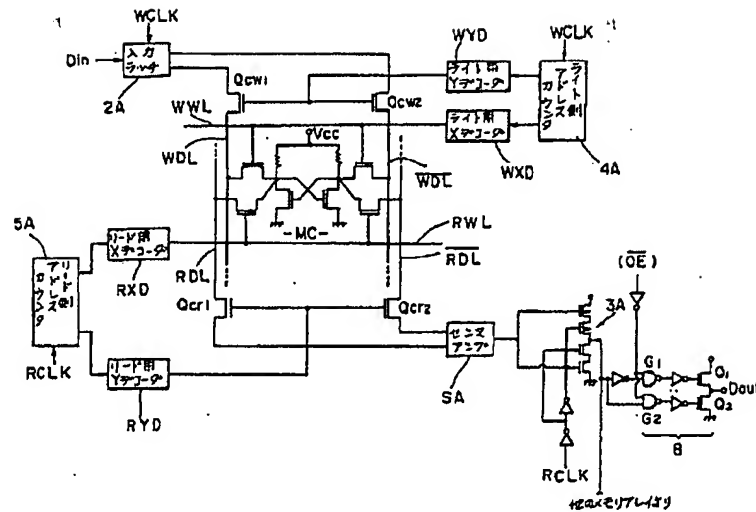


第2図

第3図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.